

DIALOG(R)File347:JAPIO(c) 1997 JPO & JAPIO. All rts. reserv.

03375939 MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 03-038839 [JP 3038839 A]

PUBLISHED: February 19, 1991 (19910219)

INVENTOR(s): HOSAKA TAKASHI

APPLICANT(s): SEIKO INSTR INC [000232] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 01-174789 [JP 89174789]

FILED: July 05, 1989 (19890705)

**ABSTRACTPURPOSE:** To form a transistor whose effective channel length is small andwhose speed is fast by a method wherein a gate electrode is formed, ions ofnitrogen or oxygen are implanted into a P-type silicon substrate to form anN-type impurity layer inside the silicon substrate and a source-drain isformed.

**CONSTITUTION:** A gate insulating film 2 is formed on a semiconductorsubstrate 1 of silicon or the like; after that, a gate electrode 3 isformed; ions of nitrogen or oxygen are implanted. Since the ions areimplanted by making use of the gate electrode 3 as a mask during thisprocess, the ions of N or O are not implanted into a channel directly underthe gate electrode 3. Then, N-type impurities are introduced into thesilicon substrate 1 to form a source and a drain 6, 7. Consequently, sincea layer into which the ions of nitrogen or oxygen have been implantedbecomes a high-resistance region, it is possible to restrain a depletionlayer of the source and the drain from being spread. Thereby, an N-channelMOS type transistor provided with a gate electrode which is shorter than $2.0.\mu m$  is obtained.

## ⑫ 公開特許公報 (A)

平3-38839

⑬ Int.Cl.<sup>5</sup>H 01 L 21/336  
21/265  
29/784

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)2月19日

8422-5F H 01 L 29/78 301 Y  
7522-5F 21/265 Z

審査請求 未請求 請求項の数 1 (全4頁)

## ④ 発明の名称 半導体装置の製造方法

② 特 願 平1-174789

② 出 願 平1(1989)7月5日

⑦ 発明者 保坂俊 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑦ 出願人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

⑦ 代理人 弁理士 林 敬之助

## 明細書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

NチャネルMOS型トランジスタの製造方法において、ゲート電極を形成する工程と、P型のシリコン基板内に窒素または酸素のイオン打ち込みを行う工程と、N型の不純物層を前記シリコン基板内に作りソース・ドレインを形成する工程と、から成る事を特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

## (産業上の利用分野)

この発明は金属、酸化物、半導体(以下MOSと呼ぶ)型半導体装置の製造方法に関する。

## (発明の概要)

NチャネルMOS型トランジスタのゲート電極を形成した後に、トランジスタのソース・ドレインの側壁に窒素または酸素をイオン打ち込みし、

ソース・ドレインの横方向拡散を防止すると共にソース・ドレインの空乏層の伸びを抑制する。

## (従来の技術)

第3図に示す様に、NチャネルMOS型トランジスタは、ゲート電極23が形成された後にBF<sub>2</sub>あるいはB(ボロン)がイオン注入され、自己整合的にソース・ドレイン領域24、25が形成される。その後ソース・ドレイン領域24、25の活性化のための熱処理によりソース・ドレイン領域24、25はわずかに拡散していく。

## (発明が解決しようとする課題)

第3図に示す様に、ソース・ドレイン24、25に電圧を印加すると空乏層26が発生し、電界を大きくするに従い空乏層幅dが増大する。近年の半導体デバイスの縮小化に従い、ゲート電極の長さlが小さくなり、NチャネルMOS型トランジスタではlが2.0 μmより短くなるとソースとドレインの空乏層が直接つながって大きな電流が流れるようになり、トランジスタとしての特性を示さなくなる。

本発明はこの欠点を解消した半導体装置の製造方法を提供することを目的とする。

(課題を解決するための手段)

本発明は上記目的を達成するために、下記の方法を採用した。即ち、NチャネルMOS型トランジスタの製造方法において、ゲート電極を形成する工程と、P型のシリコン基板内に窒素または酸素のイオン打ち込みを行う工程と、N型の不純物層を前記シリコン基板内に作りソース・ドレインを形成する工程と、から成る事を特徴とする半導体装置の製造方法である。

(作用)

窒素または酸素がイオン注入された層は高抵抗の領域となるので、ソースおよびドレインの空乏層の拡がりが抑制される。従って2.0  $\mu\text{m}$ より短いゲート電極を有するNチャネルMOS型トランジスタを形成できる。

(実施例)

第1図をもとに本発明の実施例を詳細に説明する。第1図(a)に示す様にシリコン(Si)などの

半導体基板1の上にゲート絶縁膜2を形成した後、ゲート電極3を形成する。(半導体基板1は、シリコンの場合はP型シリコンまたはN型シリコン内に形成されPウエルである。) またゲート絶縁膜2は、シリコン酸化膜やシリコン酸窒化膜やこれらの多層膜などの他の絶縁膜でも良い。さらにゲート電極3は、多結晶シリコン膜や金属膜やポリサイド膜などである。

次に第1図(b)に示す様に窒素(N)または酸素(O)をイオン注入する。ゲート電極3をマスクにしてイオン注入されるのでゲート電極3の直下のチャネルにはNまたはOはイオン注入されない。またゲート電極3にイオン注入しない時はゲート電極3上にフォトレジスト等を残しておいても良い。さてこの時のイオン注入の飛程( $R_p$ )は半導体基板1の表面から将来ソース・ドレインの空乏層がのびる領域の深さに相当する距離で良い。例えば、ソース・ドレインの拡散深さが0.3  $\mu\text{m}$ であれば、イオン注入の飛程は0.3  $\mu\text{m} \pm 0.05 \mu\text{m}$

- 3 -

mが良い。もちろん、この範囲から外れても効果は小さくなるがソースとドレインの空乏層が接触する現象を防止する事はできる。またNまたはOのイオン注入量は多ければ多いほど空乏層の伸びの防止には効果があるが、イオン注入によるダメージが発生する事および余りに絶縁膜に近くなる事によりリーク電流の増大や易動度の低下を引き起こすので望ましくはない。従ってNまたはOのイオン注入量は $1 \times 10^{11}/\text{cm}^2$ から $5 \times 10^{13}/\text{cm}^2$ の範囲が良い。

次に第1図(c)に示す様に、ゲート電極5をマスクにしてN型の不純物をシリコン基板1の中に入れ、ソースおよびドレイン6、7を形成する。P型の不純物の導入方法として、イオン注入法あるいは拡散法が挙げられる。イオン注入法の場合はリン(P)あるいはヒ素(As)等のイオンで行う。

さらにその後の熱処理によりソース・ドレイン層が拡散していくが、NまたはOのイオン注入層の付近ではソース・ドレイン層は余り伸びていか

- 4 -

ない。

以上の様にして作成したN型トランジスタは第1図(d)に示す様に、N型不純物のソースおよびドレイン6、7の肩の付近にNあるいはOの濃度の濃い高抵抗の層4が存在する構造となっている。

(発明の効果)

第2図に示す様に、ソースおよびドレイン6、7に電圧を印加した時に空乏層8が発生する。しかし最も空乏層の伸びが大きくなるソースおよびドレイン6、7の円周部、つまり肩の部分にはNあるいはOの濃度が濃い層があり高い抵抗を有している。この層4の存在の為に空乏層の伸びが抑制され、たとえゲート電極3の長さ $l$ が2  $\mu\text{m}$ 以下(もちろん1  $\mu\text{m}$ 以下も含む)になってもソース側とドレイン側の空乏層が接触する事はなく、安定したトランジスタ特性を示す。また実施例においても説明した様に、ソース・ドレイン6、7が熱処理により拡散した時にも表面付近ではソース・ドレインの伸びは理論通り進むが、空乏層の伸びが大きく広がるソース・ドレイン6、7の肩

の付近はNあるいはPの導電層があるために余り伸びない。従って実行チャネル長は小さくスピードの速いトランジスタが形成され、しかもバンチスルーダンダの大きいトランジスタとなる。

以上の効果は通常使用している電源電圧10V以下での説明であるが、さらにこの発明は10V以上の高い電圧を印加する高耐圧用デバイスにも応用できる事は言うまでもない。

d . . . . . 空乏層幅

以 上

出願人 セイコー電子工業株式会社

代理人 弁理士 林 敏之助

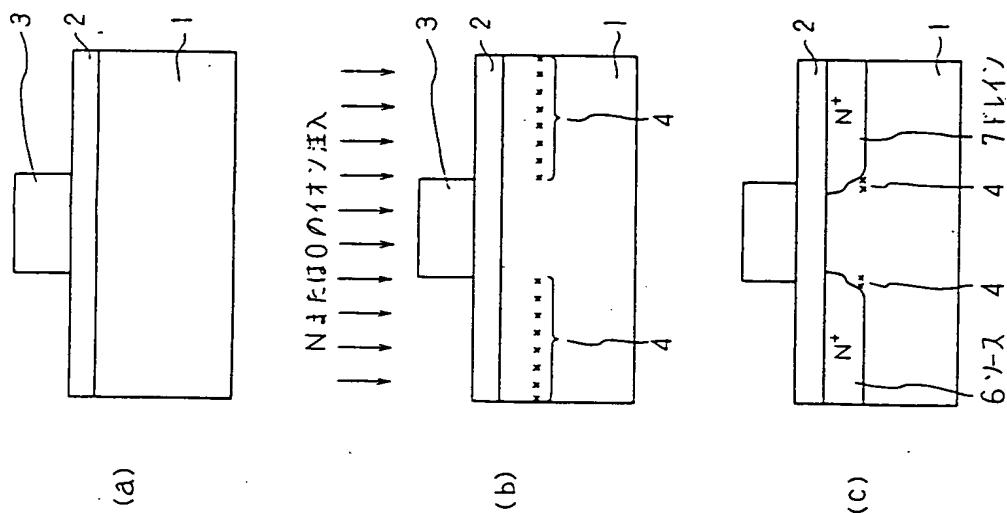
## 4. 図面の簡単な説明

第1図(a)～(c)は本発明の製造方法の工程順を示す断面図、第2図は本発明の効果を示す断面図、第3図は従来のトランジスタの構造を示す断面図である。

- 1. 21 . . . . 半導体基板
- 2. 22 . . . . ゲート絶縁膜
- 3. 23 . . . . ゲート電極
- 4 . . . . . NまたはPのイオン打込層
- 6. 7. 24. 25 . . . ソース・ドレイン
- 8. 26 . . . . 空乏層

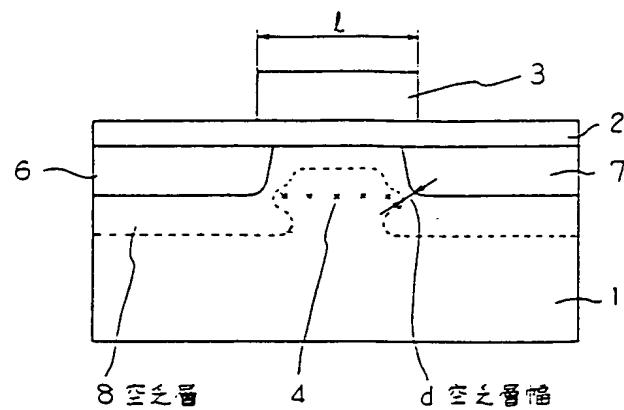
- 7 -

- 8 -



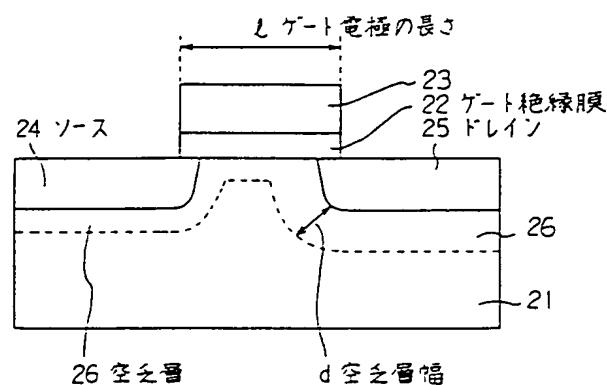
本発明の製造方法を示す工程順断面図

第1図



本発明の効果を示す断面図

第2図



従来のトランジスタの構造を示す断面図

第3図